

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 06112215 A

(43) Date of publication of application: 22.04.94

(51) Int. Cl

H01L 21/331

H01L 29/73

(21) Application number: 04254419

(71) Applicant: NEC CORP

(22) Date of filing: 24.09.92

(72) Inventor: IMAI KIYOTAKA

(54) MANUFACTURE OF SELF-MATCHING BI-POLAR TRANSISTOR

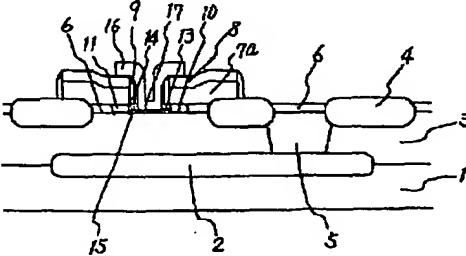
layer 10 (film thickness 3-10nm), far lower base resistance.

(57) Abstract:

COPYRIGHT: (C)1994,JPO&Japio

PURPOSE: To prevent drop of shut-off frequency by making the concentration of a base layer different from that of a link polysilicon layer at growth, for lower base resistance.

CONSTITUTION: An N⁺-type buried layer 2, an N-type connector layer 3, a field oxide film 45 and a collector draw-out layer 5 are formed on a p-type silicon substrate 1, and a silicon oxide film 6 (film thickness 40-150nm) is grown all over the surface, and then, a P⁺-type polycrystal silicon 7 and a silicon 7 and a silicon nitride film 8 are formed, and further, patterning is executed with anisotropic dry etching. Then, a P⁺-type base polysilicon electrode 7a is formed, and an emitter is opened at its center. The first side wall 9 is formed on its side wall, and isotropic wet etching is made for removing the silicon oxide film 6 inside the opening, for receding from the edge of the opening. On the N-type collector layer 3 from which the silicon oxide film 6 has been removed, the first link polysilicon layer 11 is grown from the eaves of the base electrode 7a and a silicon epitaxial



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-112215

(43)公開日 平成6年(1994)4月22日

(51)Int.Cl.
H 01 L 21/331
29/73

識別記号

序内整理番号

F I

技術表示箇所

7377-4M

H 01 L 29/ 72

審査請求 未請求 請求項の数8(全9頁)

(21)出願番号 特願平4-254419

(22)出願日 平成4年(1992)9月24日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 今井 清隆

東京都港区芝五丁目7番1号日本電気株式
会社内

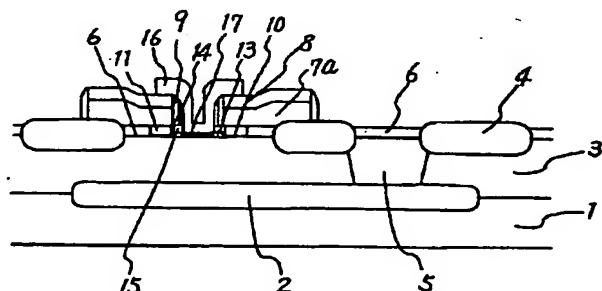
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】自己整合型バイポーラトランジスタおよびその製造方法

(57)【要約】

【目的】自己整合型バイポーラトランジスタにおいて、エミッタ開口時のドライエッチングによるダメージを防ぎ、またベース抵抗の低抵抗化を図る。

【構成】ドライエッチングによるエミッタ開口時にベース電極下にシリコン酸化膜を形成しておく。また、エミッタ開口後、シリコン酸化膜ウェットエッチによって形成されるベース電極のひさしの下に高濃度の多結晶シリコンを選択的に形成し、その時同時にエミッタ開口部のコレクタ層上に形成されるシリコンエピタキシャル層を酸化した後除去し、その領域にベース層となるシリコンエピタキシャル層を再び選択成長する。



1. P型シリコン基板	10. シリコンエピタキシャル層
2. N ⁺ 型埋込層	11. P ⁺ 型第1のリンクボリシリコン層
3. N型コレクタ層	12. P型ベース領域
4. フィールド酸化膜	13. P ⁺ 型第2のリンクボリシリコン層
5. N ⁺ 型コレクタ引き出し層	14. 第2のサイドウォール
6. シリコン酸化膜	15. 第2のサイドウォール
7. ベースボリシリコン電極	16. N ⁺ 型エミッタボリシリコン電極
8. シリコン窒化膜	17. N ⁺ 型エミッタ層
9. 第1のサイドウォール	

【特許請求の範囲】

【請求項1】 第1導電型シリコン層からなるコレクタ層上に形成された膜厚40nm～150nmの第1の絶縁膜と、前記第1の絶縁膜上に形成された高濃度第2導電型の第1の多結晶シリコン層からなるベースポリシリコン電極と、前記ベースポリシリコン電極上に形成された第2の絶縁膜と、前記ベースポリシリコン電極および前記第2の絶縁膜に形成されたエミッタ開口と、前記エミッタ開口側壁に第3の絶縁膜で形成された第1のサイドウォールと、前記エミッタ開口外周部の前記第1の絶縁膜を除去した前記コレクタ層上に形成された膜厚3nm～10nmの第2導電型シリコンエピタキシャル層と、前記第2導電型シリコンエピタキシャル層が成長するのと同時にエミッタ開口外周部のベースポリシリコン電極の底の下から前記第2導電型シリコンエピタキシャル層に接するように形成された高濃度第2導電型の第2の多結晶シリコン層と、前記エミッタ開口下の前記第1の絶縁膜を除去した前記コレクタ層上に形成した膜厚20nm～80nmの第2導電型の第2のシリコンエピタキシャル層からなるベース層と、前記第2のシリコンエピタキシャル層からなる第2導電型ベース層を成長するのと同時に前記第2の多結晶シリコン層の側壁に形成した第2導電型の第3の多結晶シリコン層を有し、前記第1のサイドウォールおよび前記第3の多結晶シリコン層を覆うように形成した第4の絶縁膜からなる第2のサイドウォールを有し、高濃度第1導電型の第4の多結晶シリコン層からなるエミッタ電極を有し、前記エミッタ電極からの不純物拡散により前記ベース層内に形成した高濃度第1導電型エミッタ層を有することを特徴とする自己整合型バイポーラトランジスタ。

【請求項2】 前記第1の絶縁膜および前記第4の絶縁膜がシリコン酸化膜であり、前記第2の絶縁膜および前記第3の絶縁膜がシリコン窒化膜であることを特徴とする請求項1に記載の自己整合型バイポーラトランジスタ。

【請求項3】 前記第2の多結晶シリコン層の膜厚は前記第1のシリコンエピタキシャル層の膜厚にたいして3倍以上厚いことを特徴とする請求項1もしくは請求項2に記載の自己整合型バイポーラトランジスタ。

【請求項4】 前記ベース層が前記第2のシリコンエピタキシャル層のかわりにシリコン・ゲルマニウム層で構成されることを特徴とする請求項1、請求項2もしくは請求項3に記載の自己整合型バイポーラトランジスタ。

【請求項5】 第1導電型シリコン層からなるコレクタ層上に第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に高濃度第2導電型の第1の多結晶シリコン層からなるベースポリシリコン電極を形成する工程と、前記ベースポリシリコン電極上に第2の絶縁膜を形成する工程と、前記ベースポリシリコン電極および前記第2の絶縁膜にエミッタ開口を形成する工程と、前記エミッタ開口

側壁に第3の絶縁膜で形成された第1のサイドウォールを形成する工程と、前記エミッタ開口直下および開口外周部の前記第1の絶縁膜を除去する工程と、前記第1の絶縁膜を除去した前記コレクタ層上に選択的に第1の第

- 05 2導電型シリコンエピタキシャル層を膜厚3nm～10nm成長する工程と、前記第1のシリコンエピタキシャル層を成長するのと同時にエミッタ開口外周部のベースポリシリコン電極の底から前記第1のシリコンエピタキシャル層に接するように第2導電型の第2の多結晶シリコン層を成長する工程と、前記エミッタ開口下の前記第1のシリコンエピタキシャル層の露出している領域を酸化してシリコン酸化膜を形成する工程と、前記シリコン酸化膜を除去して前記第1導電型コレクタ層を露出する工程と、露出した前記コレクタ層上に第2導電型の第2のシリコンエピタキシャル層からなるベース層を成長する工程と、前記第2のシリコンエピタキシャル層からなる第2導電型ベース層を成長するのと同時に、前記第2の多結晶シリコン層の側壁に第2導電型の第3の多結晶シリコン層を成長する工程と、全面に第4の絶縁膜を成長し、ドライエッチング工程を経て前記第1のサイドウォールを覆うように第2のサイドウォールを形成する工程と、高濃度第1導電型の第3の多結晶シリコン層からなるエミッタ電極を形成する工程と、前記エミッタ電極からの不純物拡散により、前記ベース層内に高濃度第1導電型エミッタ層を形成することを特徴とする自己整合型バイポーラトランジスタの製造方法。
- 10 【請求項6】 前記第1の絶縁膜および前記第4の絶縁膜がシリコン酸化膜であり、前記第2の絶縁膜および前記第3の絶縁膜がシリコン窒化膜であることを特徴とする請求項5に記載の自己整合型バイポーラトランジスタの製造方法。
- 15 【請求項7】 前記第2の多結晶シリコン層の膜厚は前記第1のシリコンエピタキシャル層の膜厚にたいして3倍以上厚いことを特徴とする請求項5もしくは請求項6に記載の自己整合型バイポーラトランジスタの製造方法。
- 20 【請求項8】 前記ベース層が前記第2のシリコンエピタキシャル層のかわりにシリコン・ゲルマニウム層で構成されることを特徴とする請求項5、請求項6もしくは請求項7に記載の自己整合型バイポーラトランジスタの製造方法。
- 25 【請求項9】 【発明の詳細な説明】
【0001】
【産業上の利用分野】本発明は自己整合型（セルフアライアン型）バイポーラトランジスタおよびその製造方法に関するものである。
- 30 【0002】

【従来の技術】バイポーラトランジスタの寄生ベース容量および寄生ベース抵抗を低減するため、ベース電極に対してエミッタ電極を自己整合的に形成するバイポーラトランジスタが実用化されている。

【0003】従来の自己整合型バイポーラトランジスタについて、図11～図14を参照して工程順に説明する。

【0004】はじめに図11に示すように、P型シリコン基板101上にN⁺型埋込層102、N型コレクタ層103、フィールド酸化膜104、N⁺型コレクタ引き出し層105を形成する。全面にシリコン酸化膜106を成長し、ベース領域が形成される部分のシリコン酸化膜を除去する。次にP⁺型多結晶シリコン107およびシリコン窒化膜108を形成する。

【0005】次に図12に示すように、シリコン窒化膜108およびP⁺型多結晶シリコン107をフォトレジスタ工程および異方性ドライエッティング工程を経てパターンングして、P⁺型ベースポリシリコン電極107aを形成し、同時にその中央部にエミッタ開口する。つぎにエミッタ開口部に真性ベース層を形成するためのボロン注入を行いボロン注入部（連続点で示す）を形成する。

【0006】次に図13に示すように、熱処理を行ってP⁺型外部ベース110およびP型真性ベース109を形成する。つぎにエミッタ開口部側壁に絶縁膜で形成されたサイドウォール111を形成する。

【0007】次に図14に示すように、N⁺型多結晶シリコンで形成されたエミッタポリシリコン電極112を形成し、その後熱処理を行ってN⁺型エミッタ113を形成する。

【0008】このセルフアライン型バイポーラトランジスタでは、P⁺型多結晶シリコン107に異方性ドライエッティングでエミッタ開口すると、真性ベース109表面に損傷が入り、歩留まり良くトランジスタを製造することが出来ない。また、外部ベース110の面積はフィールド酸化膜形成時の目合わせ工程とP⁺型ベースポリシリコン電極107a形成時の目合わせ工程によって決まる。このため、目ズレマージンが必要となり必要以上に外部ベース面積が大きくなつて寄生ベース容量が増大してしまい、高速化の妨げとなる。

【0009】このような問題点を解決する方法として、選択エピタキシャル成長法を用いたセルフアライン型バイポーラトランジスタの一例としてIEDM'90、p p607-610に示されたセルフアライン型トランジスタについて図15～図19を用いて説明する。

【0010】はじめに図15に示すように、P型シリコン基板101上にN⁺型埋込層102、N型コレクタ層103、フィールド酸化膜104、コレクタ引き出し層105を形成する。全面にシリコン酸化膜106を成長し、次にP⁺型多結晶シリコン107およびシリコン窒

化膜108を形成する。

【0011】次に図16に示すように、シリコン窒化膜108およびP⁺型多結晶シリコン107をフォトレジスタ工程および異方性ドライエッティング工程を経てパターニングして、P⁺型ベースポリシリコン電極107aを形成し、同時にその中央部にエミッタ開口する。この時シリコン酸化膜106が異方性ドライエッティングに対し、真性ベースができるN型コレクタ層表面を保護する。

05 10 【0012】次に図17に示すようにエミッタ開口部側壁に絶縁膜で形成されたサイドウォール111を形成する。つぎに等方性のウェットエッティングを行つて開口内部のシリコン酸化膜106を取り除くとともに、開口端から後退させる。

15 15 【0013】次に図18に示すように選択成長技術を用いてシリコン酸化膜106を取り除いたN型コレクタ層103上にP型シリコン層からなるベースエピタキシャル層114を成長するのと同時にベースポリシリコン電極107aのひさしからP型多結晶シリコン層からなる

20 20 リンクポリシリコン層115が成長し、ベースエピタキシャル層114とベースポリシリコン電極107aをつなぐ。このときベースエピタキシャル層114とリンクポリシリコン層115はほぼ同じ膜厚となる。

25 25 【0014】つぎに図19に示すように、第2のサイドウォール116を形成した後、N⁺型多結晶シリコンで形成されたエミッタポリシリコン電極112を形成し、その後熱処理を行つてポリシリコン電極112からN型不純物を導入してN⁺型エミッタ113を形成する。

30 30 【0015】この構造ではエミッタ開口の際のドライエッティングによるダメージを受けることはない。また、ベース面積はエミッタ開口端からのシリコン酸化膜106のエッティング量により制御できるため、目合わせ工程による目ズレの影響を受けないためベース面積を極めて小さくできる。

35 35 【0016】
【発明が解決しようとする課題】しかしながらこの構造では、エミッタ形成時の熱処理等により、P⁺型ベースポリシリコン層107aからリンクポリシリコン層115へは不純物は拡散しやすいが、リンクポリシリコン層直下のベースエピタキシャル層には不純物が拡散しにくくこの結果ベース抵抗が大きくなつてしまつという問題がある（不純物は単結晶シリコン中に比べ、多結晶シリコン中で拡散しやすいため）。一方、リンクポリシリコン層直下のベースエピタキシャル層まで十分に不純物を

40 40 拡散させるような熱処理をしてしまうと、ベースエピタキシャル層から不純物が拡散し、ベース幅が広がつて、遮断周波数の低下を招き、高速化を妨げてしまう。

45 45 【0017】以上述べたように従来の自己整合型バイポーラトランジスタは、エミッタ開口時のドライエッティングによるダメージの問題があり、それを解決できる選択

エピタキシャル法を用いた場合でもベース抵抗の増大などの問題がある。

【0018】

【課題を解決するための手段】本発明の半導体装置は、第1導電型シリコン層からなるコレクタ層上に形成された膜厚40nm～50nmの第1の絶縁膜と、前記第1の絶縁膜上に形成された高濃度第2導電型の第1の多結晶シリコン層からなるベースポリシリコン電極と、前記ベースポリシリコン電極上に形成された第2の絶縁膜と、前記ベースポリシリコン電極および前記第2の絶縁膜に形成されたエミッタ開口と、前記エミッタ開口側壁に第3の絶縁膜で形成された第1のサイドウォールと、前記エミッタ開口外周部の前記第1の絶縁膜を除去した前記コレクタ層上に形成された膜厚3nm～10nmの第2導電型シリコンエピタキシャル層と、前記第2導電型シリコンエピタキシャル層が成長するのと同時にエミッタ開口外周部のベースポリシリコン電極の底の下から前記第2導電型シリコンエピタキシャル層に接するよう形成された第2導電型の第2の多結晶シリコン層からなるリンクポリシリコン層と、前記エミッタ開口下の前記第1の絶縁膜を除去した前記コレクタ層上に形成した膜厚20nm～80nmの高濃度第2導電型の第2のシリコンエピタキシャル層からなるベース層を有し、前記第2のシリコンエピタキシャル層からなる第2導電型ベース層を成長するのと同時に前記第2の多結晶シリコン層の側壁に形成した第2導電型の第3の多結晶シリコン層を有し、前記第1のサイドウォールおよび前記第3の多結晶シリコン層を覆うように形成した第4の絶縁膜からなる第2のサイドウォールを有し、高濃度第1の導電型の第4の多結晶シリコン層からなるエミッタ電極を有し、前記エミッタ電極からの不純物拡散により前記ベース層内に形成した高濃度第1導電型エミッタ層を有することを特徴とする自己整合型バイポーラトランジスタである。ここでの多結晶シリコン層の膜厚は前記第1のシリコンエピタキシャル層の膜厚にたいして3倍以上厚いことが好ましい。

【0019】

【実施例】次に本発明について図面を参照して説明する。

【0020】図1は本発明の第1の実施例の構造断面図である。P型シリコン基板1、N⁺型埋込層2、N型シリコン層で形成されたコレクタ層3とフィールド酸化膜4、N⁺型コレクタ引き出し層5を有し、コレクタ領域3上に膜厚約40～150nm、代表例として70nmのシリコン酸化膜6と、その上にP⁺型多結晶シリコンで形成されたベースポリシリコン電極7aとその上にシリコン窒化膜8とを有し、ベースポリシリコン電極7aおよびシリコン窒化膜8に形成された開口部と、開口部側壁に形成された膜厚約50～200nmのシリコン窒化膜からなる第1のサイドウォール9を有し、開口周辺

部のシリコン酸化膜6を除去したコレクタ層3上に選択的に形成した膜厚約3nm～10nm、代表例として5nmのP型シリコンエピタキシャル層10と、シリコンエピタキシャル層10の成長と同時にエミッタ開口外周

5 部のベースポリシリコン電極7aの底からP型シリコンエピタキシャル層10に接続するように形成された膜厚約30～140nm、代表例として65nmのP⁺型の第1のリンクポリシリコン層11とを有し、エミッタ開口下のシリコン酸化膜6を除去したコレクタ層3上に形成した膜厚約20～80nm、代表例として50nmのP型シリコンエピタキシャル層からなるベース層13を有し、ベース層13成長と同時にP⁺型リンクポリシリコン層11の側壁に成長しベース層13と第1のリンクポリシリコン層11をつなぐ膜厚約20～80nm、代表例として50nmのP⁺型の第2のリンクポリシリコン層14を有し、第1のサイドウォール9および第2のリンクポリシリコン層14の側壁に形成された膜厚約50～150nmのシリコン酸化膜からなる第2のサイドウォール15と、ベース層表面に形成された接合深さ約

20 10～60nm代表例として20nmのN⁺型エミッタ層17とN⁺型多結晶シリコンからなるエミッタポリシリコン電極16とを有する構造となっている。

【0021】このセルファーライン型トランジスタの製造方法について図2～図9を用いて説明する。

25 【0022】はじめに図2に示すように、P型シリコン基板1上にN⁺型埋込層2、N型コレクタ層3、フィールド酸化膜4、コレクタ引き出し層5を形成する。全面に膜厚約40～150nm、例えば70nmのシリコン酸化膜6を成長し、次にP⁺型多結晶シリコン7およびシリコン窒化膜8を形成する。

30 【0023】次に図3に示すように、シリコン酸化膜8およびP⁺型多結晶シリコン7をフォトレジスト工程および異方性ドライエッチング工程を経てパターニングして、P⁺型ベースポリシリコン電極7aを形成し、同時にその中央部にエミッタ開口する。この時シリコン酸化膜6が異方性ドライエッチングに対し、N型コレクタ層表面を保護する。

35 【0024】次に図4に示すようにエミッタ開口部側壁に窒化膜で形成された第1のサイドウォール9を形成する。つぎに等方性のウェットエッチングを行って開口内部のシリコン酸化膜6を取り除くとともに、開口端から約100nm～200nm後退させる。このときベースポリシリコン電極7aの底の下には約40～150nm例えば70nmの高さの空間が形成される。

40 【0025】次に図5に示すように選択成長技術を用いてシリコン酸化膜6を取り除いたN型コレクタ層3上にP型シリコン層からなるシリコンエピタキシャル層10を成長するのと同時にベースポリシリコン電極7aの底からP型多結晶シリコン層からなる第1のリンクポリシリコン層11が成長し、シリコンエピタキシャル層10

とベースポリシリコン電極7aをつなぐ。このときシリコンエピタキシャル層10の膜厚は約3~10nm、例えれば5nmであり、第1のリンクポリシリコン層11の膜厚は約30~140nm例えれば65nmとなるようなシリコン単結晶成長レートが遅く、シリコン多結晶成長レートが早い条件で選択成長を行う。また、この時点ではシリコンエピタキシャル層10の濃度と第1のリンクポリシリコン層11の濃度は同じになっている。

【0026】次に図6に示すように酸化雰囲気中で熱酸化を行い、エミッタ開口下のシリコンエピタキシャル層10および第1のリンクポリシリコン層11の側壁部を酸化する。この時の熱酸化膜12の膜厚はシリコンエピタキシャル層10を完全に酸化した膜厚例えればシリコンエピタキシャル層10の膜厚が5nmのときの熱酸化膜厚は約12nmとなる。

【0027】次に図7に示すように等方性酸化膜ウェットエッ칭を行い、熱酸化膜12を取り除く。

【0028】次に図8に示すように熱酸化膜12を除去したコレクタ層3上に膜厚20~80nm例えれば50nm、不純物濃度 $1 \times 10^{18} \sim 1 \times 10^{19} \text{ cm}^{-3}$ 例えれば $8 \times 10^{18} \text{ cm}^{-3}$ のベース層13を選択エピタキシャル成長技術を用いて形成する。この時同時に第1のリンクポリシリコン層11の側壁部にもベース層13とほぼ同じ膜厚でかつ同じ不純物濃度の第2のリンクポリシリコン14が形成される。この第2のリンクポリシリコン14は第1のリンクポリシリコン11とともにベース層13とベースポリシリコン電極7aをつなぐ役目をする。

【0029】つぎに図9に示すように、第1のサイドウォール9および第2のリンクポリシリコン14の側壁にシリコン酸化膜からなる第2のサイドウォール15を形成した後、N⁺型多結晶シリコンで形成されたエミッタポリシリコン電極16をエミッタ開口部に形成し、その後熱処理を行って接合深さ約10~60nm、例えば20nmのN⁺型エミッタ層17をベース層13表面に形成する。この際、P⁺型ベースポリシリコン電極7aからの不純物拡散により第1のリンクポリシリコン11及び第2のリンクポリシリコン14は高濃度化される。

【0030】図10は本発明の第2の実施例を示す断面図である。

【0031】この図では、ベース領域13をシリコン・ゲルマニウム層13aで形成した場合の例を示している。この時のシリコン・ゲルマニウム層中のゲルマニウム含有率は5~20%である。また、不純物濃度は $3 \times 10^{18} \sim 3 \times 10^{19} \text{ cm}^{-3}$ 、代表例として $1 \times 10^{19} \text{ cm}^{-3}$ であり、膜厚は30nm~60nmである。またこの時、第2のリンクポリシリコン層14もシリコン・ゲルマニウムポリシリコン層14aとなる。

【0032】

【発明の効果】以上説明した本発明はベース抵抗が低く、遮断周波数の低下を防ぐ構造を有している。たとえ

ば図15~図19に示した従来例に比べベース抵抗は約20~50%低減される。またこの構造及び製造方法ではベース層13の濃度と第1のリンクポリシリコン層11の成長時の濃度を異らせることが出来る。このため、第1のリンクポリシリコン層11の濃度を成長時から高くしておけばエミッタ形成時の熱処理温度の低温化をした場合にもベース抵抗の増加を抑えることが出来る。

【0033】また本発明ではベース領域の面積を極めて小さくできる。このため極めて高速なバイポーラトランジスタが形成できる。

【0034】またP型ベース領域13がシリコン・ゲルマニウム層から形成されている場合、ベース領域のパンドギャップナローイング量を大きくでき、注入効率が改善され、電流増幅率が向上する。この結果ベース濃度をシリコン層を使った場合よりもより高くする事が出来、一層のベース抵抗の低減が可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施例のバイポーラトランジスタを示す断面図である。

【図2】図1のトランジスタを製造する一実施例の方法の一工程を示す断面図である。

【図3】図1のトランジスタを製造する一実施例の方法の一工程を示す断面図である。

【図4】図1のトランジスタを製造する一実施例の方法の一工程を示す断面図である。

【図5】図1のトランジスタを製造する一実施例の方法の一工程を示す断面図である。

【図6】図1のトランジスタを製造する一実施例の方法の一工程を示す断面図である。

【図7】図1のトランジスタを製造する一実施例の方法の一工程を示す断面図である。

【図8】図1のトランジスタを製造する一実施例の方法の一工程を示す断面図である。

【図9】図1のトランジスタを製造する一実施例の方法の一工程を示す断面図である。

【図10】本発明の第2の実施例のバイポーラトランジスタの示す断面図である。

【図11】従来技術のバイポーラトランジスタおよびその製造方法の一例を示す断面図である。

【図12】従来技術のバイポーラトランジスタおよびその製造方法の一例を示す断面図である。

【図13】従来技術のバイポーラトランジスタおよびその製造方法の一例を示す断面図である。

【図14】従来技術のバイポーラトランジスタおよびその製造方法の一例を示す断面図である。

【図15】従来技術のバイポーラトランジスタおよびその製造方法の他の例を示す断面図である。

【図16】従来技術のバイポーラトランジスタおよびその製造方法の他の例を示す断面図である。

【図17】従来技術のバイポーラトランジスタおよびその製造方法の他の例を示す断面図である。

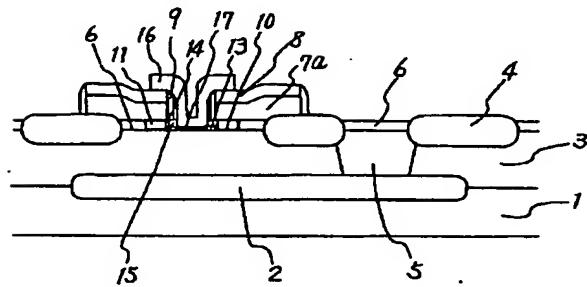
【図18】従来技術のバイポーラトランジスタおよびその製造方法の他の例を示す断面図である。

【図19】従来技術のバイポーラトランジスタおよびその製造方法の他の例を示す断面図である。

【符号の説明】

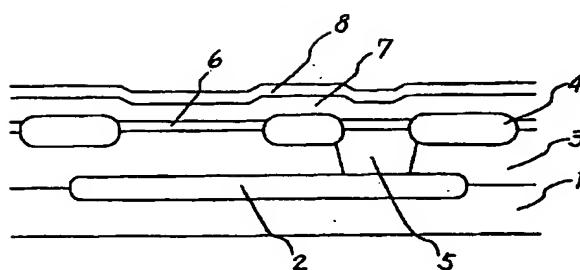
- 1 P型シリコン基板
- 2 N⁺型埋込層
- 3 N型コレクタ層
- 4 フィールド酸化膜
- 5 N⁺型コレクタ引き出し層
- 6 シリコン酸化膜
- 7 P⁺型多結晶シリコン
- 7a ベースポリシリコン電極
- 8 シリコン窒化膜
- 9 第1のサイドウォール
- 10 シリコンエピタキシャル層
- 11 P⁺型第1のリンクポリシリコン層
- 12 熱酸化膜
- 13 P型ベース領域
- 13a P型シリコン・ゲルマニウムベース層
- 14 P⁺型第2のリンクポリシリコン層

【図1】



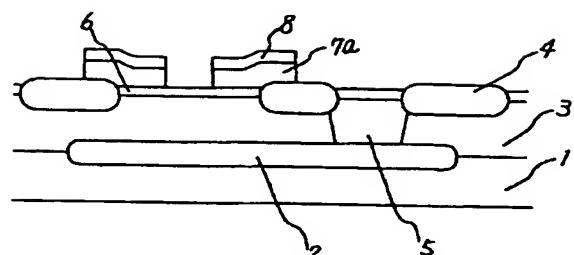
- 1 P型シリコン基板
- 2 N⁺型埋込層
- 3 N型コレクタ層
- 4 フィールド酸化膜
- 5 N⁺型コレクタ引き出し層
- 6 シリコン酸化膜
- 7a ベースポリシリコン電極
- 8 シリコン窒化膜
- 9 第1のサイドウォール
- 10 シリコンエピタキシャル層
- 11 P⁺型第1のリンクポリシリコン層
- 12 熱酸化膜
- 13 P型ベース領域
- 13a P型シリコン・ゲルマニウムベース層
- 14 P⁺型第2のリンクポリシリコン層
- 15 第2のサイドウォール
- 16 N⁺型エミッタポリシリコン電極
- 17 N⁺型エミッタ層

【図2】



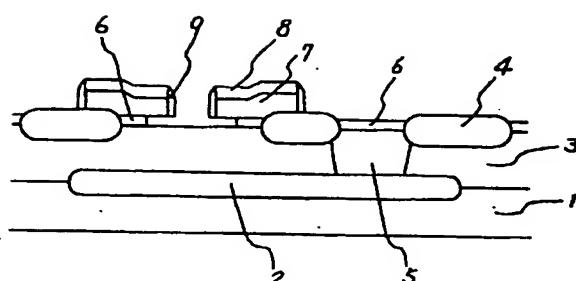
- 1 P型シリコン基板
- 2 N⁺型埋込層
- 3 N型コレクタ層
- 4 フィールド酸化膜
- 5 N⁺型コレクタ引き出し層
- 6 シリコン酸化膜
- 7a ベースポリシリコン電極
- 8 シリコン窒化膜
- 9 第1のサイドウォール
- 10 シリコンエピタキシャル層
- 11 P⁺型第1のリンクポリシリコン層
- 12 熱酸化膜
- 13 P型ベース領域
- 13a P型シリコン・ゲルマニウムベース層
- 14 P⁺型第2のリンクポリシリコン層
- 15 第2のサイドウォール
- 16 N⁺型エミッタポリシリコン電極
- 17 N⁺型エミッタ層

【図3】



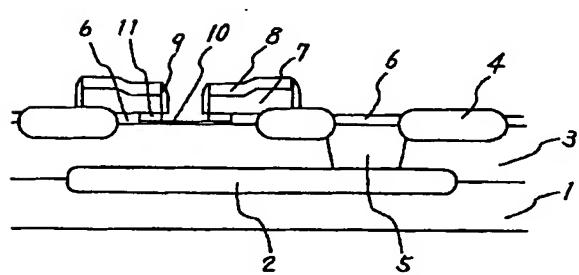
7a. ベース ポリシリコン電極

【図4】



9. 第1のサイドウォール

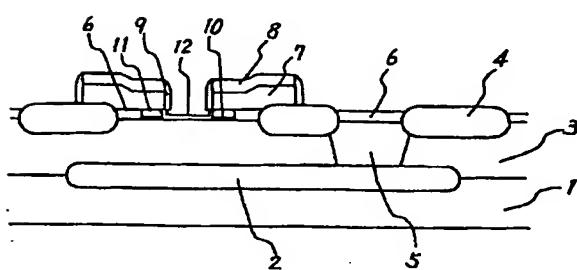
【図5】



10. シリコンエピタキシャル層

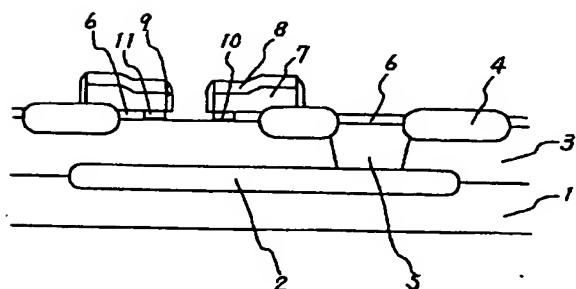
11. P⁺型第1のリンクポリシリコン層

【図6】

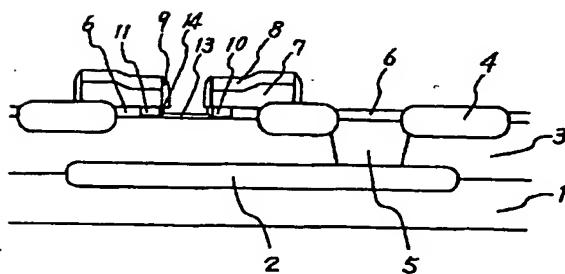


12. 热酸化膜

【図7】



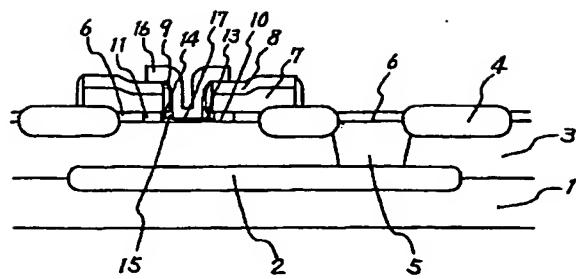
【図8】



13. P型ベース領域

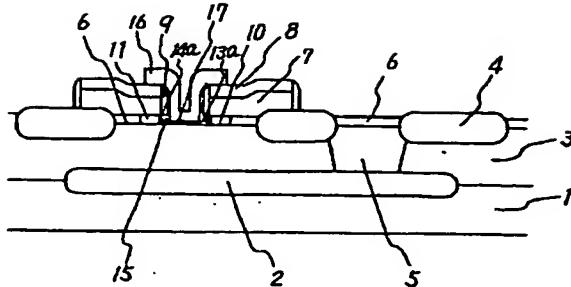
14. P⁺型第2のリンクポリシリコン層

【図9】



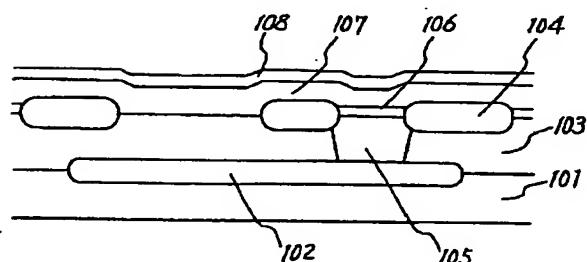
15. 第2のサイドウォール
16. N^+ 型エミッタポリシリコン電極
17. N^+ 型エミッタ層

【図10】



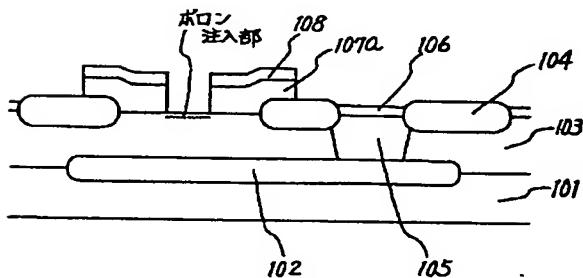
130. P 型シリコン・ゲルマニウムベース層
140. P^+ 型第2のリンクシリコン・ゲルマニウム
ポリシリコン層

【図11】



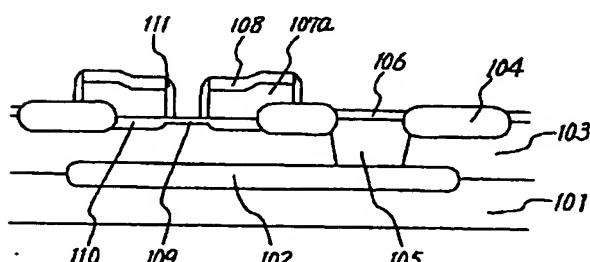
101. P 型シリコン基板
102. N^+ 型挿込層
103. N 型コレクタ層
104. フィールド酸化膜
105. N^+ 型コレクタ引き出し層
106. シリコン酸化膜
107. P^+ 型多結晶シリコン
108. シリコン空化膜

【図12】

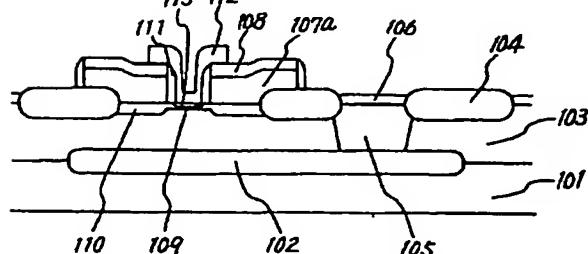


107a. ベースポリシリコン電極

【図13】

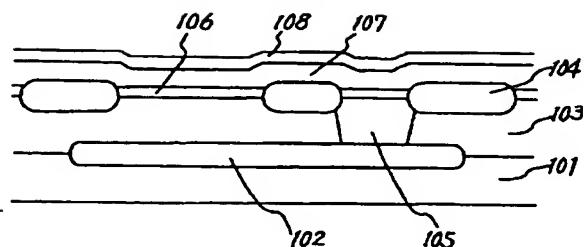


109. P 型裏性ベース領域
110. P^+ 型外部ベース領域
111. 第1のサイドウォール



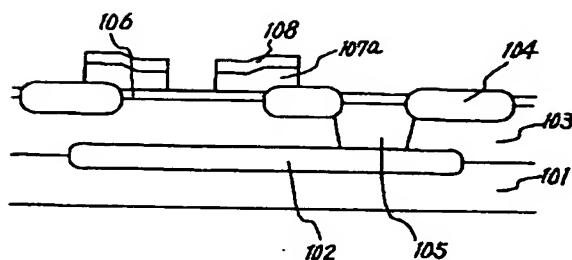
112. N^+ 型エミッタポリシリコン電極
113. N^+ 型エミッタ層

【図15】



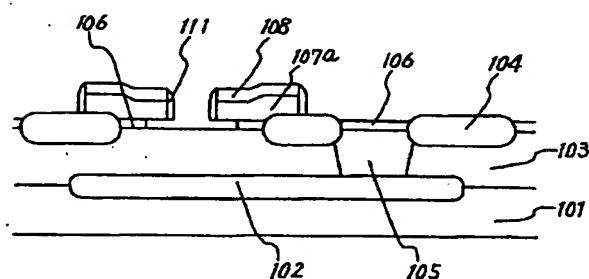
101. P型シリコン基板
102. N型埋込層
103. N型コレクタ層
104. フィールド酸化膜
105. N⁺型コレクタ引き出し層
106. シリコン酸化膜
107. P⁺型多結晶シリコン

【図16】



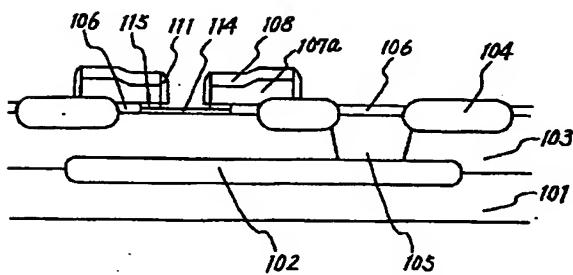
107a. P⁺型ベースポリシリコン電極

【図17】



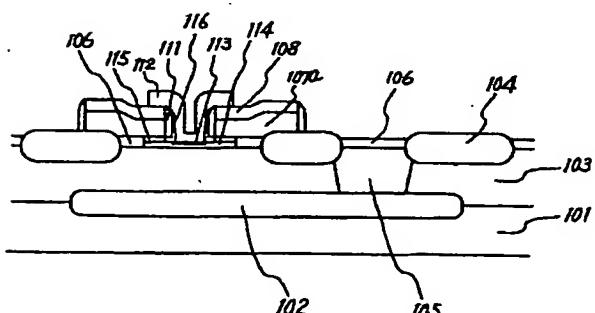
111. 第1のサイドウォール

【図18】



114. ベースエピタキシャル層
115. リンクポリシリコン層

【図19】



112. N⁺型エミッタポリシリコン電極
113. N⁺型エミッタ層
116. 第2のサイドウォール